

PAT-NO: JP406120829A

DOCUMENT-IDENTIFIER: JP 06120829 A

TITLE: SEQUENTIAL COMPARISON TYPE A/D CONVERTER

PUBN-DATE: April 28, 1994

INVENTOR-INFORMATION:

NAME

TANITSU, TSUNEHICO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SANYO ELECTRIC CO LTD

N/A

APPL-NO: JP04263706

APPL-DATE: October 1, 1992

INT-CL (IPC): H03M001/38, H03M001/46

US-CL-CURRENT: 341/161

ABSTRACT:

PURPOSE: To provide a sequential comparison type A/D converter which can produce an (n+1)-bit digital signal of high A/D conversion accuracy by means of a series resistance circuit network of the n-bit resolution.

CONSTITUTION: A power supply V_{dd} and the medium voltage $V_{dd}/2$ or the voltage $V_{dd}/2$ and an earth V_{ss} are switched and connected to both ends of resistance (3-1)-(3-256) based on the detecting result of a fact whether an analog signal is larger or smaller than the voltage $V_{dd}/2$ of the resistances 1 and 2. In other words, the voltage containing the offset can be applied to both ends of the resistances (3-1)-(3-256). Therefore an (n+1)-bit digital signal can be produced while the resistances (3-1)-(3-256) are kept in the n-bit resolution.

COPYRIGHT: (C)1994,JPO&Japio

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-120829

(43)公開日 平成6年(1994)4月28日

(51)Int.Cl.⁵

H 0 3 M 1/38
1/46

識別記号

庁内整理番号

9065-5 J
9065-5 J

F I

技術表示箇所

審査請求 未請求 請求項の数2(全 5 頁)

(21)出願番号 特願平4-263706

(22)出願日 平成4年(1992)10月1日

(71)出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72)発明者 谷津 常彦

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

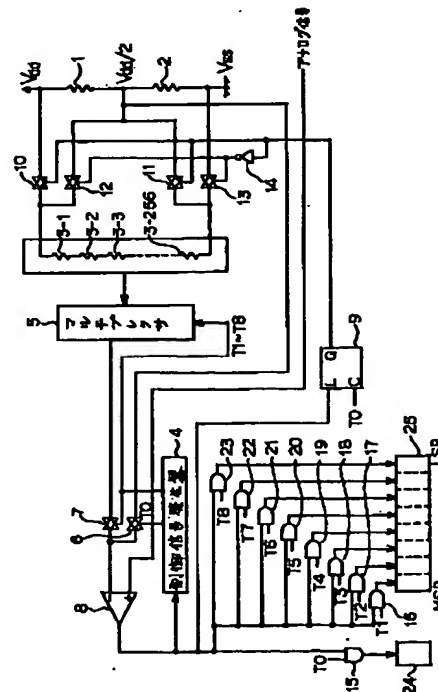
(74)代理人 弁理士 西野 卓嗣

(54)【発明の名称】 逐次比較型ADコンバータ

(57)【要約】

【目的】 本発明は、 n ビット分解能の直列抵抗回路網を用いてAD変換精度の高い $(n+1)$ ビットのデジタル信号を生成できる逐次比較型ADコンバータを提供することを目的とする。

【構成】 本発明によれば、アナログ信号が抵抗(1)(2)の中間電圧 $V_{dd}/2$ より大か小かを検出した結果を用いて、抵抗(3-1)～(3-256)の両端に、電源 V_{dd} 及び中間電圧 $V_{dd}/2$ 、又は、該中間電圧 $V_{dd}/2$ 及びアース V_{ss} を切換接続できる。即ち、抵抗(3-1)～(3-256)の両端にオフセットのある電圧を与えることができる。従って、抵抗(3-1)～(3-256)を n ビット分解能に抑えたままで $(n+1)$ ビットのデジタル信号を生成することが可能となる。



【特許請求の範囲】

【請求項1】 アナログ信号をデジタル信号に変換する逐次比較型ADコンバータにおいて、

第1電源電圧及び第2電源電圧の間に接続され、中点電圧を発生する第1直列抵抗回路網と、

2ⁿ本の抵抗から成る第2直列抵抗回路網と、

アナログ信号をデジタル信号に変換する過程で (n+1) 種類の制御信号を順次発生する制御信号発生器と、

1番目の制御信号が発生した時、前記中点電圧及び前記アナログ信号を比較し、2〜(n+1)番目の制御信号

が発生した時、該制御信号に応じた前記第2直列抵抗回路網の接続点電圧及び前記アナログ信号を逐次比較し、

次に発生すべき制御信号を決定する為に比較出力を前記制御信号発生器に帰還する比較器と、

前記1番目の制御信号が発生した時の前記比較器の比較出力に応じて、前記第2直列抵抗回路網の両端に、前記

第1電源電圧及び前記中点電圧、又は、前記中点電圧及び前記第2電源電圧を切替接続する切替制御回路と、

前記 (n+1) 種類の制御信号に同期して、前記比較器の比較出力を順次保持する (n+1) ビットのレジスタ

と、を備え、

nビット分解能を持つ前記第2直列抵抗回路網を用いて、アナログ信号を (n+1) ビットのデジタル信号に変換することを特徴とする逐次比較型ADコンバータ。

【請求項2】 前記第1直列抵抗回路網の抵抗値は前記第2直列抵抗回路網の抵抗値に比べて極めて小さいことを特徴とする請求項1記載の逐次比較型ADコンバータ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、逐次比較型ADコンバータに関する。

【0002】

【従来の技術】 電子機器、産業機器等に内蔵されるマイクロコンピュータは機器動作を制御する為に、機器が或る状態にある時のデータを取り込んで所定の演算処理を

施し、この時の演算データを用いて機器をシーケンシャルに動作させる様な制御を繰り返している。こ

こで、マイクロコンピュータでの演算処理は2進数の状態で行うのが常識であり、この為、デジタル信号を取り込

んで演算処理を行う場合は何ら問題ないが、アナログ信号を取り込んで演算処理を行う場合は、入力ポートとC

PU (演算処理部) との間にアナログ信号をデジタル信号に変換する所謂ADコンバータを内蔵することが必要

となる。

【0003】 ここで、ADコンバータには、逐次比較型及び一括比較型があるが、以下に前者の逐次比較型ADコンバータについて簡単に説明する。例えばアナログ

信号をnビットのデジタル信号に変換する仕様の場合、逐次比較型ADコンバータには、電源V_{dd}及びアース間に

直列接続した2ⁿ本の抵抗、アナログ信号を前記直列抵抗の特定のn個の接続点電圧と順次比較する比較器、及

び比較器の比較出力を保持するnビットのレジスタが必要となる。初めに、アナログ信号及び電源V_{dd}の中心電

圧V_{dd}/2を比較し、例えばアナログ信号がV_{dd}/2より大きい場合、レジスタの最上位ビットに比較出力

「1」を保持させる。次に、アナログ信号が (V_{dd}/2〜V_{dd}) の間に存在することが判明した為、アナログ信

号と (V_{dd}/2〜V_{dd}) の中心電圧3V_{dd}/4とを比較し、例えばアナログ信号が3V_{dd}/4より小さい場合、

レジスタの上位2ビット目に比較出力「0」を保持させる。次に、アナログ信号が (V_{dd}/2〜3V_{dd}/4) の

間に存在することが判明した為、アナログ信号と (V_{dd}/2〜3V_{dd}/4) の中心電圧5V_{dd}/8とを比較し、

例えばアナログ信号が5V_{dd}/8より大きい場合、レジスタの上位3ビット目に比較出力「1」を保持させる。

同様の動作をレジスタの最下位ビットまで繰り返すこと

によって、アナログ信号に対応するnビットのデジタル値をレジスタに保持している。そして、レジスタの内容

をCPUに取り込んで所望の演算処理を行っている。

【0004】 ところで、AD変換精度を向上させる為に、前記逐次比較型ADコンバータの分解能をnビット

から (n+1) ビットに変更する場合、従来は電源V_{dd}及びアース間に直列接続する抵抗数を2⁽ⁿ⁺¹⁾本に増や

すことによって対処していた。例えば分解能を8ビットから9ビットに変更する場合、直列抵抗数を256本

から512本にする必要があった。即ち、直列抵抗数を倍に増やす必要があった。

【0005】 【発明が解決しようとする課題】 しかしながら、逐次比較型ADコンバータをマイクロコンピュータに内蔵する

のに、従来の方法を用いてAD変換精度を向上させた場合、直列抵抗数が以前に比べて極めて増大すること

から、直列抵抗を焼き付ける為のマスキング領域が広範に渡ってしまい、これよりチップ面積の増大及びこれに伴って

コストアップを招く問題があった。

【0006】 そこで、本発明は、nビット分解能の直列抵抗回路網を用いてAD変換精度の高い (n+1) ビットのデジタル信号を生成できる逐次比較型ADコン

バータを提供することを目的とする。

【0007】 【課題を解決するための手段】 本発明は、前記問題点を解決する為に成されたものであり、その特徴とするところは、アナログ信号をデジタル信号に変換する逐次比較

型ADコンバータにおいて、第1電源電圧及び第2電源電圧の間に接続され、中点電圧を発生する第1直列抵抗

回路網と、2ⁿ本の抵抗から成る第2直列抵抗回路網と、アナログ信号をデジタル信号に変換する過程で (n

+1) 種類の制御信号を順次発生する制御信号発生器と、1番目の制御信号が発生した時、前記中点電圧及び

2番目の制御信号が発生した時、前記中点電圧及び

前記アナログ信号を比較し、2～(n+1)番目の制御信号が発生した時、該制御信号に応じた前記第2直列抵抗回路網の接続点電圧及び前記アナログ信号を逐次比較し、次に発生すべき制御信号を決定する為に比較出力を前記制御信号発生器に帰還する比較器と、前記1番目の制御信号が発生した時の前記比較器の比較出力に応じ、前記第2直列抵抗回路網の両端に、前記第1電源電圧及び前記中点電圧、又は、前記中点電圧及び前記第2電源電圧を切換接続する切換制御回路と、前記(n+1)種類の制御信号に同期して、前記比較器の比較出力を順次保持する(n+1)ビットのレジスタと、を備えた点である。

【0008】

【作用】本発明によれば、アナログ信号が第1直列抵抗回路網の中点電圧より大か小かを検出した結果を用いて、第2直列抵抗回路網の両端に、第1電源及び中点電圧、又は、該中点電圧及び第2電源を切換接続できる。即ち、第2直列抵抗回路網の両端にオフセットのある電圧を与えることができる。従って、第2直列抵抗回路網をnビット分解能に抑えたままで、(n+1)ビットのデジタル信号を生成することが可能となる。

【0009】

【実施例】本発明の詳細を図面に従って具体的に説明する。図1は本発明を説明する為の図であり、例えばアナログ信号を9ビットのデジタル信号に変換する場合の一実施例である。図1において、抵抗(1)(2)は電源Vdd及びアースVss間に直列接続された第1直列抵抗回路網であり、各値を等しく設定することによって中点から中点電圧Vdd/2が発生する様になっている。抵抗(3-1)～(3-256)は8ビット分解能を持つ第2直列抵抗回路網であり、各値を等しく設定することによって、各接続点から両端電圧を256分割した電圧が発生する様になっている。また、後述する様に、該第2直列抵抗回路網の両端には、電源Vdd及び中点電圧Vdd/2或は中点電圧Vdd/2及びアースVssを切換接続できる様になっている。また、この切換接続の際に第2直列抵抗回路網に第1直列抵抗回路網の一部を並列接続させても、第1直列抵抗回路網の中点電圧が変動しない様に、第2直列抵抗回路網の値は第1直列抵抗回路網の値に対して極めて大の関係にある。

【0010】(4)は制御信号発生器であり、アナログ信号を9ビットのデジタル信号に変換する過程で「1」となる制御信号T0～T8を順次発生するものである。(5)はマルチプレクサであり、制御信号T1～T8に応じて抵抗(3-1)～(3-256)の所定の接続点電圧を切換出力するものである。(6)(7)はトランスミッションゲートであり、トランスミッションゲート(6)は制御信号T0のタイミングで開状態となり、アナログ信号を通過させる。またトランスミッションゲート(7)は制御信号T1～T8の発生期間だけ開状態を

継続し、マルチプレクサ(5)の切換出力を通過させる。(8)は比較器であり、非反転入力(+)端子にはアナログ信号が印加され、反転入力(-)端子にはトランスミッションゲート(6)又は(7)の通過出力が印加され、両入力の比較を行う。比較器(8)の比較出力は制御信号発生器(4)に帰還され、次に発生すべき制御信号が決定される。(9)はラッチ回路であり、制御信号T0のタイミングで比較器(8)の比較出力を保持するものである。トランスミッションゲート(10)(11)、(12)(13)は、各々ラッチ回路(9)の出力及びインバータ(14)を介したラッチ回路(9)の反転出力で相補的に開閉を行うものである。即ち、ラッチ回路(9)の出力が「1」の時、トランスミッションゲート(10)(11)が開状態となり、抵抗(3-1)～(3-256)の両端に電源電圧Vdd及び中点電圧Vdd/2が切換接続される。反対にラッチ回路(9)の出力が「0」の時、トランスミッションゲート(12)(13)が開状態となり、抵抗(3-1)～(3-256)の両端に中点電圧Vdd/2及びアースVssが切換接続される。

【0011】(15)～(23)は各々制御信号T0～T8のタイミングで開状態となるANDゲートであり、比較器(8)の比較出力を通過させる。(24)は9ビットのデジタル信号の最上位ビットを記憶する1ビットのレジスタであり、ANDゲート(15)の出力を保持する。(25)はデジタル信号の上位2ビット目から最下位ビットまでを記憶する8ビットのレジスタであり、ANDゲート(16)～(23)の出力を上位ビットから順次保持するものである。尚、逐次比較型ADコンバータを8ビット分解能から9ビット分解能に変更する場合、既存の8ビットレジスタ(25)の他に1ビットレジスタ(24)を追加する構成の方が、既存の8ビットレジスタ(25)を新規の9ビットレジスタ(図示せず)に代える構成よりも容易に実現できるが、9ビット分のレジスタの構成は本実施例に限定されるものではない。ところで、図1回路はマイクロコンピュータ(図示せず)に内蔵されるものとする。

【0012】以下、本実施例の動作について説明する。まず、マイクロコンピュータに電源Vddが投入されると、抵抗(1)(2)の接続点に中点電圧Vdd/2が発生する。その後、制御信号発生器(4)から制御信号T0が発生すると、中点電圧Vdd/2がトランスミッションゲート(6)を介して比較器(8)に取り込まれ、アナログ信号及び中点電圧Vdd/2の比較が行われる。例えば、アナログ信号が中点電圧Vdd/2より大きい場合、比較器(8)から比較出力「1」が発生する。この比較出力「1」はラッチ回路(9)に保持され、トランスミッションゲート(10)(11)を開状態とする。即ち、電源電圧Vdd及び中点電圧Vdd/2が抵抗(3-1)～(3-256)の両端に切換接続される。同時

に、比較出力「1」は、次に発生する制御信号T1を決定する為に制御信号発生器(4)に帰還される共にレジスタ(24)に保持される。

【0013】その後、制御信号発生器(4)から制御信号T1が発生すると、($V_{dd}/2 \sim V_{dd}$)の中心電圧 $3V_{dd}/4$ がマルチプレクサ(5)から切換出力され、その後トランスミッションゲート(7)を介して比較器

(8)に取り込まれ、アナログ信号及び中心電圧 $3V_{dd}/4$ の比較が行われる。例えば、アナログ信号が $3V_{dd}/4$ より小さい場合、比較器(8)から比較出力「0」が発生する。この比較出力「0」は、次に発生する制御信号T2を決定する為に制御信号発生器(4)に帰還されると共にレジスタ(25)の最上位ビットMSBに保持される。

【0014】その後、制御信号発生器(4)から制御信号T2が発生すると、($3V_{dd}/4 \sim V_{dd}/2$)の中心電圧 $5V_{dd}/8$ がマルチプレクサ(5)から切換出力され、その後トランスミッションゲート(7)を介して比較器(8)に取り込まれ、アナログ信号及び中心電圧 $5V_{dd}/8$ の比較が行われる。例えば、アナログ信号が $5V_{dd}/8$ より大きい場合、比較器(8)から比較出力「1」が発生する。この比較出力「1」は、次に発生する制御信号T3を決定する為に制御信号発生器(4)に帰還されると共にレジスタ(25)の上位ビット2ビット目に保持される。この動作をレジスタ(25)の最下位ビットまで繰り返すことによって、9ビットのデジタル信号を生成することができる。

【0015】以上より、アナログ信号及び抵抗(1)(2)の中心電圧 $V_{dd}/2$ の比較結果を9ビットのデジタル信号の最上位ビットとし、更にこの比較結果に応じて、抵抗(3-1)~(3-256)の両端に電源電圧 V_{dd} 及び中心電圧 $V_{dd}/2$ 、或は中心電圧 $V_{dd}/2$ 及び

アース V_{ss} を切換接続する様にしている。従って、デジタル信号の上位2ビット目から最下位ビットまでを8ビット分解能の抵抗(3-1)~(3-256)を用いて決定でき、実質的に該抵抗の本数を256本に抑えたままで9ビット分解能を持つ逐次比較型ADコンバータを提供できることになる。

【0016】

【発明の効果】本発明によれば、アナログ信号が第1直列抵抗回路網の中心電圧より大か小かを検出した結果を用いて、第2直列抵抗回路網の両端に、第1電源及び中心電圧、又は、該中心電圧及び第2電源を切換接続できる。即ち、第2直列抵抗回路網の両端にオフセットのある電圧を与えることができる。従って、第2直列抵抗回路網をnビット分解能に抑えたままで(n+1)ビットのデジタル信号を生成することが可能となる。即ち、第2直列抵抗回路網の抵抗本数を増やすことなく高精度の逐次比較型ADコンバータを提供することが可能となる。例えば本発明の逐次比較型ADコンバータをマイクロコンピュータに内蔵した場合、チップ面積の大型化及びこれに伴うコストアップを防止できる利点を得られる。

【図面の簡単な説明】

【図1】本発明を説明する為の図である。

【符号の説明】

(1)(2)(3-1)~(3-256) 抵抗

(4) 制御信号発生器

(8) 比較器

(9) ラッチ回路

(10)(11)(12)(13) トランスミッションゲート

(14) インバータ

(24)(25) レジスタ

【図1】

